

(Translation)

Mailed: June 1, 2004

FINAL NOTICE OF REJECTION

Patent Application No.: Japanese Patent Application No. 2001-398386

Examiner's Notice Date: May 26, 2004

Examiner: Kazuya TANADA 9361 4L00

Attorney: Takehiko SUZUYE (other 6 attorneys)

Applied Sections and Paragraphs: Section 29 (1), Section 29 (2), and Section 37

<<<< FINAL >>>>

This application is rejected on the grounds stated below. Any opinion about the rejection must be filed within 60 DAYS of the mailing date hereof.

REASONS

1. The invention is unpatentable under Section 29 (1) (iii) of the Patent Law as being described in the following publication distributed in Japan or a foreign country prior to this application.
2. The invention is unpatentable under Section 29 (2) of the Patent Law, as being such that the invention could easily have been made by a person with ordinary skill in the art to which the invention pertains, on the basis of the invention described in the following publications distributed in Japan or a foreign country prior to this application.
3. The application fails to satisfy the requirements under Section 37 in the following respects.

REMARKS

Re: Reason 1

- Claim 2: Reference 3
- Claim 3: Reference 4
- Remark

[Claim 2]

A "semiconductor apparatus" described in Reference 3 (refer to FIG. 1

(h), in particular) has the same structure as the present invention.

[Claim 3]

A "semiconductor apparatus" described in Reference 4 (refer to FIG. 1, in particular) has the same structure as the present invention.

Re: Reason 2

- Claims 1, 6, and 7: References 1 and 2
- Claim 2: Reference 3
- Claim 3: Reference 4
- Claim 5: References 1 to 4
- Remark

[Claim 1]

A "variable capacitor apparatus" described in Reference 1 (refer to FIG. 1, in particular) is different from the present invention in that "pn" junction constituting a capacitor is formed in an epitaxial layer. For example, as described in Reference 2 (refer to FIG. 1, in particular), however, it is a well known structure to form the "pn" junction capacitor in a well. It is within the scope of normal expediency of one skilled in the art to constitute the present invention by employing a well layer in place of an epitaxial layer, in the invention described in Reference 1.

[Claim 2]

Refer to a "semiconductor apparatus" described in Reference 3 (refer to FIG. 1 (h), in particular).

[Claim 3]

Refer to a "semiconductor apparatus" described in Reference 4 (refer to FIG. 1, in particular).

[Claim 5]

In the invention described in References 1, 3, and 4, a "bottom part of a low resistance region" is formed at a position which is lower than that of an element separation region.

[Claims 6 and 7]

It is a mere design matter of one skilled in the art to set a concentration of impurities to be introduced so as to set a resistance region at a desired resistance value in the art described in Reference 1.

Re: Reason 3

- It is deemed that a problem to be solved by the invention recited in claim 1 is to suppress a thermal noise, and a problem to be solved by the inventions recited in claims 4 and 8 is to prevent lowering of a gain of an amplifier. Therefore, the invention recited in claim 1 and the inventions recited in claims 4 and 8 do not have the same respective problems to be solved. The claimed inventions are not deemed to have a relationship prescribed under Section 37 (i) of the Patent Law. In addition, the substantial part of the invention recited in claim 1 is formed at a bottom part of a well region; the "low resistance region" having a resistance value which is lower than that of the well region without any contact with a depletion layer of a junction part between the semiconductor apparatus and the well region is brought into contact with the bottom part of the element separation region formed in the well region, and a region separated by the element separation region is connected. In contrast, it is deemed that the substantial parts of the inventions recited in claims 4 and 8 are formed at the bottom part of the well region; the "low resistance region" having the resistance value which is lower than that of the well region without any contact with the

deletion layer of the junction part between the semiconductor apparatus and the well region is brought into contact with the bottom part of the element separation region for separating a plurality of wells. Therefore, the invention recited in claim 1 is different from the inventions recited in claims 4 and 8 in their respective substantial parts. Hence, the claimed inventions are not deemed to have a relationship prescribed under Section 37 (ii) of the Patent Law. Further, these inventions each are not deemed to satisfy any of the relationships prescribed under Sections 37 (iii), 37 (iv), and 37 (v) of the Patent Law.

The present application is in violation to the provisions prescribed under Section 37 of the Patent Law. Thus, in respect of the inventions according to claims other than claims 1 to 3 and claims 5 to 7, no examination has been made for the requirements for novelty, inventive step and the like.

References:

1. Jpn. Pat. Appln. KOKAI Publication No. 07-147420
2. Jpn. Pat. Appln. KOKAI Publication No. 05-315545
3. Jpn. Pat. Appln. KOKAI Publication No. 63-207173
4. Jpn. Pat. Appln. KOKAI Publication No. 04-330730

Reason for issuing this Notice as Final Notice of Rejection

1. This Final Notice of Rejection indicates only a reason for rejection, which has occurred due to the amendment filed in response to the previous Official Action ("First (Non-Final) Official Action").

整理番号:A000106069 発送番号:193287 発送日:平成16年 6月 1日 1

拒絶理由通知書

特許出願の番号 特願2001-398386
起案日 平成16年 5月26日
特許庁審査官 棚田 一也 9361 4L00
特許出願人代理人 鈴江 武彦(外 6名) 様
適用条文 第29条第1項、第29条第2項、第37条

<<<< 最 後 >>>>

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。
2. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。
3. この出願は、下記の点で特許法第37条に規定する要件を満たしていない。

記 (引用文献等については引用文献等一覧参照)

○理由1について

- ・請求項2：引用文献No. 3
- 請求項3：引用文献No. 4
- ・備考

[請求項2]

引用文献3(特に、第1図(h)参照)に記載の「半導体装置」は、本発明と同一の構成を有する。

[請求項3]

引用文献4(特に、図1参照)に記載の「半導体装置」は、本発明と同一の構成を有する。

○理由2について

・請求項1, 6～7: 引用文献No. 1～2

請求項2: 引用文献No. 3

請求項3: 引用文献No. 4

請求項5: 引用文献No. 1～4

・備考

[請求項1]

引用文献1(特に、図1参照)に記載の「可変容量装置」は、容量を構成するp-n接合がエピタキシャル層内に形成されている点で本発明と相違するが、p-n接合容量をウェル内に形成することは、例えば引用文献2(特に、図1参照)に記載されているように周知の構造であり、引用文献1に記載のものにおいて、エピタキシャル層の替わりにウェル層を用い、本発明を構成することは当業者が容易になし得た範囲内のことである。

[請求項2]

引用文献3(特に、第1図(h)参照)に記載の「半導体装置」を参照されたい。

[請求項3]

引用文献4(特に、図1参照)に記載の「半導体装置」を参照されたい。

[請求項5]

引用文献1、引用文献3～4に記載の発明において、「低抵抗領域の底部」は、素子分離領域の底部より低い位置に形成されている。

[請求項6～7]

引用文献1に記載の技術において、抵抗抵抗領域を所望の抵抗値にするよう、導入する不純物濃度を設定することは当業者が適宜行う設計事項にすぎない。

○理由3について

・請求項1に記載される発明が解決しようとする課題は、熱雑音を抑えることであり、請求項4及び請求項8に記載される発明が解決しようとする課題は、増幅器の利得の低下を防止することであると認められる。よって、請求項1に記載される発明と、請求項4及び請求項8に記載される発明とは、それぞれの解決しようとする課題が同一でなく、特許法第37条第1号に規定する関係を有するとは認められない。また、請求項1に記載される発明の主要部は、ウェル領域の底部に形成され、半導体装置とウェル領域との間の接合部分の空乏層に接触せず、ウェル領域の抵抗値より低い抵抗値を有する「低抵抗領域」を、ウェル領域内に形成された素子分離領域の底部に接触し、該素子分離領域により分離された領域を接続する構成とした点であるのに対し、請求項4及び請求項8に記載される発明の主要部は、ウェル領域の底部に形成され、半導体装置とウェル領域との間の接合部分の空乏層に接触せず、ウェル領域の抵抗値より低い抵抗値を有する「低抵抗領域」を、複数のウェルを分離する素子分離領域の底部に接触した構成とする

点であると認められる。よって、請求項1に記載される発明と、請求項4及び請求項8に記載される発明とは、それぞれの主要部が、相違するから、特許法第37条第2号に規定する関係を有すると認められない。さらに、各発明は、特許法第37条第3号、第4号、第5号に規定する関係のいずれを満たすものとも認められない。

この出願は特許法第37条の規定に違反しているので、請求項1乃至3、請求項5乃至7以外の請求項に係る発明については新規性、進歩性等の要件についての審査を行っていない。

引 用 文 献 等 一 覧

1. 特開平07-147420号公報
2. 特開平05-315545号公報
3. 特開昭63-207173号公報
4. 特開平04-330730号公報

最後の拒絶理由通知とする理由

1. 最初の拒絶理由通知に対する応答時の補正によって通知することが必要になった拒絶の理由のみを通知する拒絶理由通知である。